

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2005 EPO. All rts. reserv.

15272091

Basic Patent (No,Kind,Date): **JP 11097701 A2** 19990409 <No. of Patents: 002>

**THIN FILM TRANSISTOR, MANUFACTURE OF THE SAME, AND LIQUID CRYSTAL
DISPLAY**

(English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): INOUE SATOSHI

IPC: *H01L-029/786; H01L-021/336; G02F-001/136

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 11097701	A2	19990409	JP 97272132	A	19970918	(BASIC)
JP 3591242	B2	20041117	JP 97272132	A	19970918	

Priority Data (No,Kind,Date):

JP 97272132 A 19970918

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06156158 **Image available**

**THIN FILM TRANSISTOR, MANUFACTURE OF THE SAME, AND LIQUID CRYSTAL
DISPLAY**

PUB. NO.: 11-097701 [JP 11097701 A]

PUBLISHED: April 09, 1999 (19990409)

INVENTOR(s): INOUE SATOSHI

APPLICANT(s): SEIKO EPSON CORP

APPL. NO.: 09-272132 [JP 97272132]

FILED: September 18, 1997 (19970918)

INTL CLASS: H01L-029/786; H01L-021/336; G02F-001/136

ABSTRACT

PROBLEM TO BE SOLVED: To provide a thin film transistor which is less likely to be deteriorated in characteristics, a method for manufacturing the same, and a liquid crystal display.

SOLUTION: This device has a plurality of channel regions 16 formed below one gate electrode 14, and source regions 18 and drain regions 20 sandwiching the respective channel regions 16. The source regions 18 are interconnected and the drain regions 20 are interconnected. The channel width W of each channel region 16 and the spacing S between the respective channel regions 16 have the relation of $W=S$.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97701

(43) 公開日 平成11年(1999) 4月9日

(51) Int. Cl. ⁶	識別記号	F I	
H01L 29/786		H01L 29/78	611
21/336		G02F 1/136	500
G02F 1/136	500		

審査請求 未請求 請求項の数 7 F D (全 8 頁)

(21) 出願番号 特願平9-272132

(22) 出願日 平成9年(1997) 9月18日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 井上 聡

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

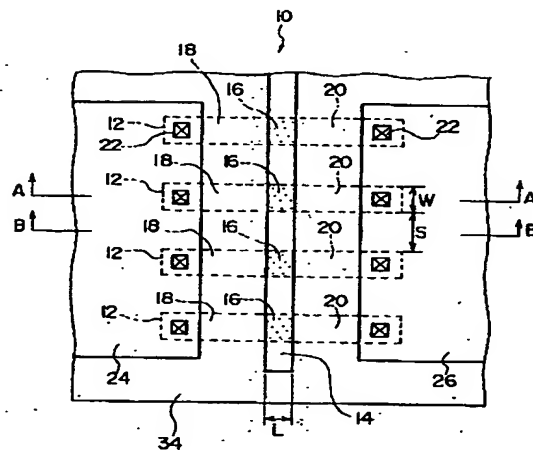
(74) 代理人 弁理士 井上 一 (外 2 名)

(54) 【発明の名称】 薄膜トランジスタ、その製造方法及び液晶表示装置

(57) 【要約】

【課題】 特性が劣化しにくい薄膜トランジスタ、その製造方法及び液晶表示装置を提供する。

【解決手段】 一つのゲート電極14の下に形成される複数のチャネル領域16と、各チャネル領域16を挟むソース領域18及びドレイン領域20と、を有し、各ソース領域18は相互に接続され、各ドレイン領域20は相互に接続され、各チャネル領域16のチャネル幅Wと、各チャネル領域16同士の間隔Sは、 $W \leq S$ の関係を有する。



$W \leq S$

【特許請求の範囲】

【請求項 1】 一つのゲート電極の下に形成される複数のチャネル領域と、各チャネル領域を挟むソース領域及びドレイン領域と、を有し、

各ソース領域は相互に接続され、各ドレイン領域は相互に接続され、

各チャネル領域のチャネル幅 W と、各チャネル領域同士の間隔 S は、 $W \leq S$ の関係を有する薄膜トランジスタ。

【請求項 2】 請求項 1 記載の薄膜トランジスタにおいて、

前記ゲート電極は屈曲し、前記チャネル領域が一直線に沿って並ぶことを避ける薄膜トランジスタ。

【請求項 3】 請求項 2 記載の薄膜トランジスタにおいて、

前記ゲート電極は、複数列をなすように形成される薄膜トランジスタ。

【請求項 4】 請求項 2 又は請求項 3 記載の薄膜トランジスタにおいて、

前記チャネル領域は、互い違いに配置される薄膜トランジスタ。

【請求項 5】 請求項 1 から請求項 4 のいずれかに記載の薄膜トランジスタが、直流電圧のスイッチとして形成される液晶表示装置。

【請求項 6】 請求項 5 記載の液晶表示装置において、前記スイッチは、ソース線への電圧の印加を最終段で制御する液晶表示装置。

【請求項 7】 複数のチャネル領域と、各チャネル領域を挟むソース領域及びドレイン領域と、を形成する工程と、

前記チャネル領域上に一つのゲート電極を形成する工程と、

各ソース領域を相互に接続し、各ドレイン領域を相互に接続する工程と、

を含み、

各チャネル領域のチャネル幅 W と、各チャネル領域同士の間隔 S は、 $W \leq S$ の関係を有する薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、特性の劣化が防止される薄膜トランジスタ、その製造方法及び液晶表示装置に関する。

【0002】

【発明の背景】 多結晶シリコンを用いた薄膜トランジスタ (TFT) は、液晶表示装置などで使用されているが、その信頼性が大きな問題となっている。例えば、薄膜トランジスタを動作させると、図 9 に示すように、しきい値電圧が変化するという劣化が生じる場合がある。

【0003】 そこで、本願発明者等は、しきい値電圧の変化 (特性の劣化) が何に起因するかを研究した。

【0004】 動作時の薄膜トランジスタを赤外線温度計で観察すると、かなり温度が上昇しているのが確認された。これは、薄膜トランジスタがガラス基板上に形成され、また周囲が熱伝導率の低いシリコン酸化膜で囲まれているためである。また、薄膜トランジスタにゲート電圧 (V_g) 及びドレイン電圧 (V_d) を印加し、10 秒間動作させた後、しきい値電圧の変化を調べた。この時ゲート電圧 (V_g) 及びドレイン電圧 (V_d) を各々パラメータとした。動作時に流れたドレイン電流を I_d とすると、 $I_d \times V_d$ を横軸に、しきい値電圧の変化を縦軸にとったのが図 10 である。同図に示すように、ゲート電圧 (V_g) の値にかかわらず、ドレイン電流 $I_d \times$ ドレイン電圧 V_d の値が大きいほど、特性の劣化が大きくなることが分かった。ここで、 $I_d \times V_d$ は薄膜トランジスタの発熱量に比例する。

【0005】 また、薄膜トランジスタを加熱してそのしきい値電圧の変化を測定したところ、図 11 に示すように、上記の劣化と同様な特性変化が確認された。従って特性の劣化は熱に起因すると考えられる。即ち、薄膜トランジスタが動作時に発する自分自身の熱により、チャネルのポリシリコン膜中のダングリングボンドをターミネイトしていた水素が脱離し、これにより TFT 特性が変化したものと予想される。

【0006】 チャネル幅 W 及びチャネル長 L について、 W/L が一定ならば、ドレイン電流 I_d が一定になることが知られているが、図 12 に示すように、 W/L が一定ならば、 W 、 L の絶対的な値が小さいほど、特性の劣化が大きくなることが実験により分かった。その理由は、チャネル幅 W が小さくなると、単位長さあたりに大きなドレイン電流 (I_d) が流れるため、発熱量が多いからであると考えられる。これは、今後素子の微細化が進む程、この劣化が深刻な問題になることを意味する。

【0007】 また、チャネル長 L が一定ならば、チャネル幅 W が大きいほど特性の劣化が大きくなることが実験により分かった。従って、例えばドライバー内蔵 (点順次ドライバ) 型 LCD におけるアナログスイッチなど、電流供給能力が必要とされ、結果的にチャネル幅 W が大きく設計されている薄膜トランジスタで特に顕著に上記の劣化が生じやすくなる。

【0008】 なお、ドレイン電圧 (V_d) が交流電圧のとき、その周波数が大きいほど、しきい値電圧の変化が小さく、ドレイン電圧 (V_d) が直流電圧のときに最もしきい値電圧の変化が大きいことも実験から分かった。これは、薄膜トランジスタに電圧が印加されてから、温度が上りきるまでに数 m ～ 数十 ms を要するからである。

【0009】 本発明は、薄膜トランジスタの特性の劣化という問題に鑑みてなされたものであり、その目的は、特性が劣化しにくい薄膜トランジスタ、その製造方法及び液晶表示装置を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

(1) 本発明に係る薄膜トランジスタは、一つのゲート電極の下に形成される複数のチャンネル領域と、各チャンネル領域を挟むソース領域及びドレイン領域と、を有し、各ソース領域は相互に接続され、各ドレイン領域は相互に接続され、各チャンネル領域のチャンネル幅 W と、各チャンネル領域同士の間隔 S は、 $W \leq S$ の関係性を有する。

【 0 0 1 1 】本発明によれば、複数のチャンネル領域を有するが、各チャンネル領域には一つのゲート電極から電圧が印加される。また、各ソース領域は相互に接続され、各ドレイン領域は相互に接続されている。要するに、この薄膜トランジスタは、MOS形トランジスタのチャンネル領域を複数に分割して構成されたものである。したがって、各チャンネル領域のチャンネル幅 W を小さくすることができるので、ドレイン電流 I_d を小さくすることができる。こうして、発熱を抑えて特性の劣化を防ぐことができる。ただし、複数のチャンネル領域のそれぞれをドレイン電流 I_d が流れるので、ドレイン電流 I_d の合計値は維持される。

【 0 0 1 2 】(2) 本発明において、前記ゲート電極は屈曲し、前記チャンネル領域が一直線に沿って並ぶことを避ける構成としてもよい。

【 0 0 1 3 】これによれば、屈曲したゲート電極に対応して、複数のチャンネル領域が一直線に沿って並ばないようになっている。したがって、各チャンネル領域同士の間隔を広くすることができ、各チャンネル領域で生じた熱が発散されやすくなっている。

【 0 0 1 4 】(3) 前記ゲート電極は、複数列をなすように形成されてもよい。

【 0 0 1 5 】これによれば、複数列をなすように複数のチャンネル領域を配置することができ、熱が発散されやすくなる。

【 0 0 1 6 】(4) 前記チャンネル領域は、互い違いに配置されてもよい。

【 0 0 1 7 】これによれば、互い違いに配置されることで、チャンネル領域同士の間隔を広くとることができ、各チャンネル領域で生じた熱が発散されやすくなっている。

【 0 0 1 8 】(5) 本発明に係る液晶表示装置は、上記薄膜トランジスタが、直流電圧のスイッチとして形成されたものである。

【 0 0 1 9 】本発明によれば、熱が発散されやすい薄膜トランジスタが用いられるので、スイッチとしての信頼性が向上する。

【 0 0 2 0 】(6) 上記液晶表示装置において、前記スイッチは、ソース線への電圧の印加を最終段で制御するものであってもよい。

【 0 0 2 1 】このように、ソース線への電圧を印加する最終段で制御するスイッチには、比較的大きな電流を流す必要があるため、熱が発散されやすい薄膜トランジ

スタを使用することは効果的である。

【 0 0 2 2 】(7) 本発明に係る薄膜トランジスタの製造方法は、複数のチャンネル領域と、各チャンネル領域を挟むソース領域及びドレイン領域と、を形成する工程と、前記チャンネル領域上に一つのゲート電極を形成する工程と、各ソース領域を相互に接続し、各ドレイン領域を相互に接続する工程と、を含み、各チャンネル領域のチャンネル幅 W と、各チャンネル領域同士の間隔 S は、 $W \leq S$ の関係性を有する。

【 0 0 2 3 】本発明によって、上記薄膜トランジスタを製造することができる。

【 0 0 2 4 】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。

【 0 0 2 5 】(第 1 の実施の形態) 図 1 は、第 1 の実施の形態に係る薄膜トランジスタの平面図である。この薄膜トランジスタ 1 0 は、例えば液晶ディスプレイのアナログスイッチとして用いられる MOS 形トランジスタである。

【 0 0 2 6 】図 1 に示すように、薄膜トランジスタ 1 0 は、複数 (4 つ) の多結晶シリコン薄膜 1 2 が一つのゲート電極 1 4 にそれぞれ交差するように形成されている。また、各多結晶シリコン薄膜 1 2 には、ゲート電極 1 4 下にチャンネル領域 1 6 が形成されるとともに、これを挟む N 型不純物拡散領域であるソース領域 1 8 及びドレイン領域 2 0 が形成されている (図 2 (A) 参照) 。そして、各多結晶シリコン薄膜 1 2 のソース領域 1 8 及びドレイン領域 2 0 にコンタクトホール 2 2 が形成され、ソース領域 1 8 同士、ドレイン領域 2 0 同士が共通のソース電極 2 4、ドレイン電極 2 6 にそれぞれ接続されている。

【 0 0 2 7 】図 2 (A) は、図 1 の A - A 線断面図であり、図 2 (B) は、図 1 の B - B 線断面図である。これらの図に示すように、ガラス基板 2 8 上に、シリコン酸化膜からなる下地絶縁膜 3 0、ソース領域 1 8、ドレイン領域 2 0 およびチャンネル領域 1 6 となる多結晶シリコン薄膜 1 2 が順次形成されている。そして、その上にゲート絶縁膜 3 2 を介してタンタル膜からなるゲート電極 1 4 が形成されている。また、その上にシリコン酸化膜からなる層間絶縁膜 3 4 が形成されるとともに、層間絶縁膜 3 4 を貫通してソース領域 1 8、ドレイン領域 2 0 に通じるコンタクトホール 2 2 が開口され、ソース電極 2 4、ドレイン電極 2 6 が形成されている。

【 0 0 2 8 】本実施の形態では、4 つの多結晶シリコン薄膜 1 2 のそれぞれに、チャンネル領域 1 6、ソース領域 1 8 及びドレイン領域 2 0 が形成されている。このことにより薄膜トランジスタ 1 0 は、4 つの MOS 形トランジスタに分割されてなる。各 MOS 形トランジスタのチャンネル長は L 、チャンネル幅は W である。また、4 つの MOS 形トランジスタは、同じゲート電極 1 4、ソース電

極24及びドレイン電極26によって駆動される。

【0029】したがって、薄膜トランジスタ10は、チャネル長がLでチャネル幅が4Wの一つのMOS形トランジスタを、チャネル幅において複数分割(4分割)したトランジスタになっている。こうすることで、薄膜トランジスタ10の特性の劣化を抑えることができる。

【0030】すなわち、MOS形トランジスタが複数に分割されることで、チャネル長Lが一定で、チャネル幅Wが小さい複数のMOS形トランジスタとなる。そして、各MOS形トランジスタにおいて発熱が少なくなっ

て、特性の劣化が小さくなる。

【0031】また、本実施形態では、チャネル幅Wと、隣り同士のチャネル領域16の間隔Sとが、 $W \leq S$ の関係になっている。こうすることで、チャネル領域16に生じた熱が、隣りのチャネル領域16に生じた熱の影響を受けにくくなって、発散しやすくなる。そして、熱による特性の劣化が小さくなる。

【0032】なお、チャネル領域16に生じる熱は、ドレイン電流 I_d の大きさに起因すると考えられる。ドレイン電流 I_d は、 W/L に比例して大きくなる。したがって、 W/L が小さいほどドレイン電流 I_d が小さくなる。このことから、MOS形トランジスタは、チャネル幅Wにおいて多数に分割されるほど、ドレイン電流 I_d が小さくなる。

【0033】次に、上記構成の薄膜トランジスタ10の製造方法を図3(A)～図4(C)を用いて説明する。以下に述べる製造方法は、例えばゲート絶縁膜の形成に熱酸化法ではなくCVD法を用いるものであって、プロセス全体を通して450℃以下の低いプロセス温度で製造するものである。これにより、基板の材料としてガラスを用いることができる。

【0034】まず、図3(A)に示すように、ガラス基板28上の全面に、CVD法を用いて膜厚100～500nm程度のシリコン酸化膜を形成して下地絶縁膜30とする。次に、下地絶縁膜30上の全面に、ジシラン(Si_2H_6)あるいはモノシラン(SiH_4)を原料としたCVD法を用いて膜厚50nm程度のアモルファスシリコン薄膜を形成した後、XeCl等のエキシマレーザアニールを行なうことによって多結晶化する。そして、周知のフォトリソグラフィ・エッチング技術を用いて、4つの多結晶シリコン薄膜12(図1参照)のパターニングを行なう。

【0035】次に、図3(B)に示すように、ECR-CVD(Electron Cyclotron Resonance Chemical Vapor Deposition)法等を用いて膜厚120nm程度のシリコン酸化膜からなるゲート絶縁膜32を形成する。

【0036】次に、スパッタ法により膜厚600～800nm程度のタンタル膜を全面に堆積させ、図3(C)に示すように、これをパターニングすることによりゲート電極14を形成する。ついで、図4(A)に示すよう

に、このゲート電極14をマスクとして PH_3/H_2 を用いたイオンドーピングを行なうことにより、N型不純物拡散領域であるソース領域18、ドレイン領域20を形成する。また、イオンドーピング時のドーズ量は $1 \sim 10 \times 10^{14}$ atoms/cm²程度でよい。ついで、300℃、2時間のN₂アニールを行なう。

【0037】そして、図4(B)に示すように、CVD法により膜厚500～1000nm程度のシリコン酸化膜からなる層間絶縁膜34を形成する。最後に、図4(C)に示すように、層間絶縁膜34を貫通して多結晶シリコン薄膜12上のソース領域18、ドレイン領域20に通じるコンタクトホール18を開口した後、全面にAl-Si-Cu膜を堆積させ、これをパターニングすることにより、ソース電極24、ドレイン電極26を形成する。

【0038】以上の工程によって、薄膜トランジスタ10が製造される。

【0039】(第2の実施の形態)図5は、第2の実施の形態に係る薄膜トランジスタの平面図である。この薄膜トランジスタ40は、ソース電極42と、このソース電極42の三辺を取り囲むゲート電極44と、このゲート電極44を取り囲むドレイン電極46と、を有する。ここで、ゲート電極44は、2列に並ぶ配線の一方の端部が接続されてコ字状をなし、ドレイン電極46も同様である。

【0040】また、ソース電極42、ゲート電極44及びドレイン電極46の下には、4箇所において、多結晶シリコン薄膜48が形成されている。各多結晶シリコン薄膜48は、ソース電極42の下ではソース領域42aとなり、ゲート電極44の下ではチャネル領域44aとなり、ドレイン電極46の下ではドレイン領域46aとなる。つまり、各多結晶シリコン薄膜48は、MOS形トランジスタとなる。薄膜トランジスタ40は、ゲート幅の方向で4つに分割されたMOS形トランジスタである。

【0041】本実施形態によれば、複数列(2列)をなすように形成されたゲート電極44に対応して、複数列(2列)の多結晶シリコン薄膜48が形成されている。すなわち、全てのチャネル領域44aが一直線に沿って並ぶことが避けられている。したがって、1列に並べられた多結晶シリコン薄膜と比べて、チャネル領域44aで生じた熱が放散しやすくなっている。

【0042】(第3の実施の形態)図6は、第3の実施の形態に係る薄膜トランジスタの平面図である。この薄膜トランジスタ50は、ソース電極52と、このソース電極52の三辺を取り囲むゲート電極54と、このゲート電極54を取り囲むドレイン電極56と、を有する。ここで、ゲート電極54は、2列に並ぶ配線の一方の端部が接続されてコ字状をなしている。また、ソース電極52、ゲート電極54及びドレイン電極56は、図5に

示すソース電極 4 2、ゲート電極 4 4 及びドレイン電極 4 6 よりも長く形成されている。

【0043】ゲート 5 4 の一部となる 2 列に並ぶ配線のうち、一方（図において左側）には 3 つの多結晶シリコン薄膜 5 8 が形成されており、他方（図において右側）には 2 つの多結晶シリコン薄膜 5 8 が形成されている。

【0044】そして、本実施形態では、多結晶シリコン薄膜 5 8 が互い違いに形成されて千鳥状をなしている。こうすることで、一方の列に並ぶ多結晶シリコン薄膜 5 8 のチャンネル領域 5 8 a が、他方の列に並ぶ多結晶シリコン薄膜 5 8 のチャンネル領域 5 8 a に生じる熱の影響を受けにくく、熱を発散しやすくなっている。

【0045】（第 4 の実施の形態）図 7 は、第 4 の実施の形態に係る薄膜トランジスタの平面図である。この薄膜トランジスタ 6 0 は、蛇行するように屈曲するゲート電極 6 4 と、このゲート電極 6 4 の両側で並ぶソース電極 6 2 及びドレイン電極 6 6 と、を有する。

【0046】本実施形態によれば、ゲート電極 6 4、ソース電極 6 2 及びドレイン電極 6 6 が蛇行するように屈曲しているので、複数の多結晶シリコン薄膜 6 8 を、一層離して形成することができる。こうすることで、一層熱の発散が容易になる。

【0047】（第 5 の実施の形態）図 8 は、第 5 の実施の形態に係る液晶表示装置の回路を示す図である。同図に示すように、この液晶表示装置 7 0 は、ソース線ドライバ回路 7 2 と、ゲート線ドライバ回路 7 4 と、画素マトリクス 7 6 とを有する。

【0048】ソース線ドライバ回路 7 2 は、シフトレジスタ 7 8、ビデオ信号バス 8 0 a、8 0 b、8 0 c、アナログスイッチ 8 1 a、8 1 b、8 1 c を有する。また、ゲート線ドライバ回路 7 4 は、シフトレジスタ 8 2 及びバッファ 8 3 を有する。

【0049】これらソース線ドライバ回路 7 2 及びゲート線ドライバ回路 7 4 を構成するトランジスタ（図示略）の構成はともに CMOS 型である。

【0050】画素マトリクス 7 6 は各画素 8 4 がマトリクス状に配列されたものである。各画素 8 4 に対応して、画素トランジスタ 8 5、液晶セル 8 6 及び対向電極 8 7 が設けられている。

【0051】ソース線ドライバ回路 7 2 からは、ソース線 8 8 a、8 8 b、8 8 c が形成され、各画素 8 4 に信号を入力するようになっている。ゲート線ドライバ回路 7 4 からは、ゲート線 8 9 a、8 9 b が形成されて、画素マトリクス 7 6 の各画素トランジスタ 8 5 のゲートに接続されている。

【0052】この液晶表示装置においては、ソース線ドライバ回路、ゲート線ドライバ回路等の回路部、アナログスイッチ、画素トランジスタの各部分あるいは一部分に本発明の薄膜トランジスタが適用されている。この構成により、回路の誤動作等の発生が少なく、良好な

画質を有する液晶表示装置を実現することができる。

【0053】特に、アナログスイッチ 8 1 a、8 1 b、8 1 c は、ソース線 8 8 a、8 8 b、8 8 c に接続される最終段のスイッチであるため、比較的大きな電流が流されるので、特性の劣化が少ない本発明を適用することが効果的である。また、アナログスイッチ 8 1 a、8 1 b、8 1 c は、直流電圧のスイッチとして使用されるので、特性の劣化が小さい。

【0054】さらに、上記実施の形態では、Nチャネル TFT の例について説明したが、本発明を Pチャネル TFT に適用することもできる。また、チャンネル領域やソース、ドレイン領域を形成するシリコン薄膜としては、多結晶シリコン薄膜に限らず、非晶質シリコン薄膜を用いてもよい。

【0055】そして、液晶表示装置において、本発明の薄膜トランジスタを画素トランジスタやアナログスイッチに限らず、種々の回路構成要素に適用することができる。さらに、上記実施の形態ではトップゲート型薄膜トランジスタの例を挙げたが、本発明をボトムゲート型薄膜トランジスタに適用することも可能である。

【0056】

【図面の簡単な説明】

【図 1】第 1 の実施の形態に係る薄膜トランジスタの平面図である。

【図 2】図 2 (A) は、図 1 の A-A 線断面図であり、図 2 (B) は、図 1 の B-B 線断面図である。

【図 3】図 3 (A) ~ 図 3 (C) は、第 1 の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図 4】図 4 (A) ~ 図 4 (C) は、第 1 の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図 5】第 2 の実施の形態に係る薄膜トランジスタの平面図である。

【図 6】第 3 の実施の形態に係る薄膜トランジスタの平面図である。

【図 7】第 4 の実施の形態に係る薄膜トランジスタの平面図である。

【図 8】第 5 の実施の形態に係る液晶表示装置の回路を示す図である。

【図 9】しきい値電圧の変化が何に起因するかについての研究結果を示す図である。

【図 10】しきい値電圧の変化が何に起因するかについての研究結果を示す図である。

【図 11】しきい値電圧の変化が何に起因するかについての研究結果を示す図である。

【図 12】しきい値電圧の変化が何に起因するかについての研究結果を示す図である。

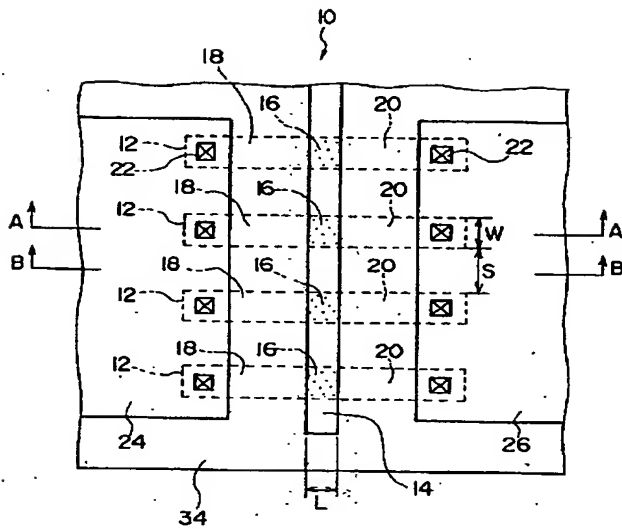
【符号の説明】

10 薄膜トランジスタ

1 4 ゲート電極
1 6 チャネル領域
1 8 ソース領域
2 0 ドレイン領域
2 4 ソース電極

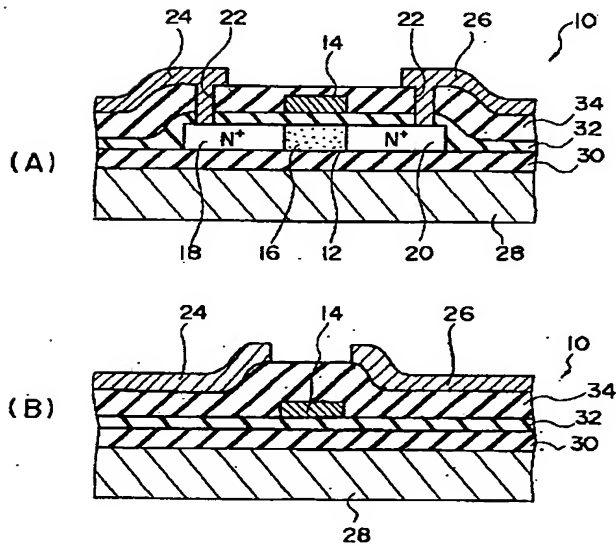
2 6 ドレイン電極
7 0 液晶表示装置
W チャネル幅
S チャネル領域間隔

【図 1】

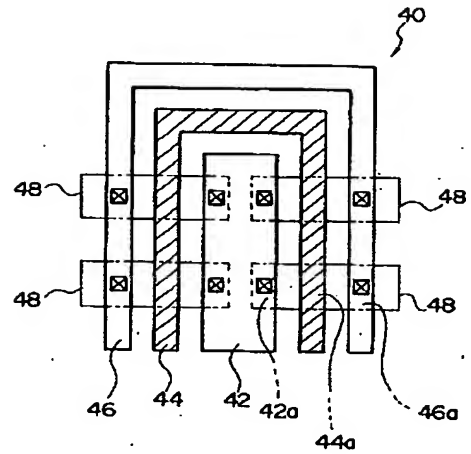


$$W \leq S$$

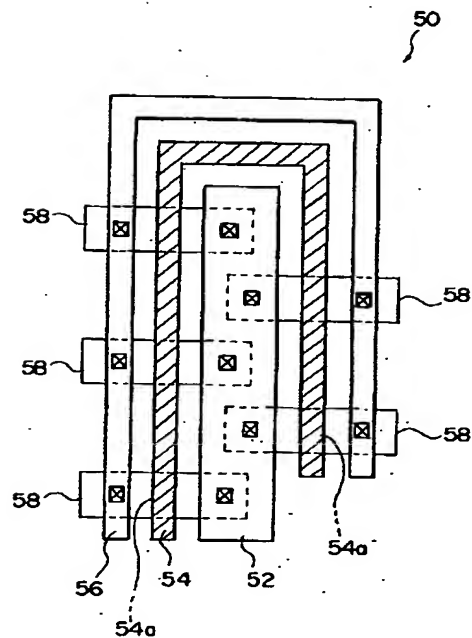
【図 2】



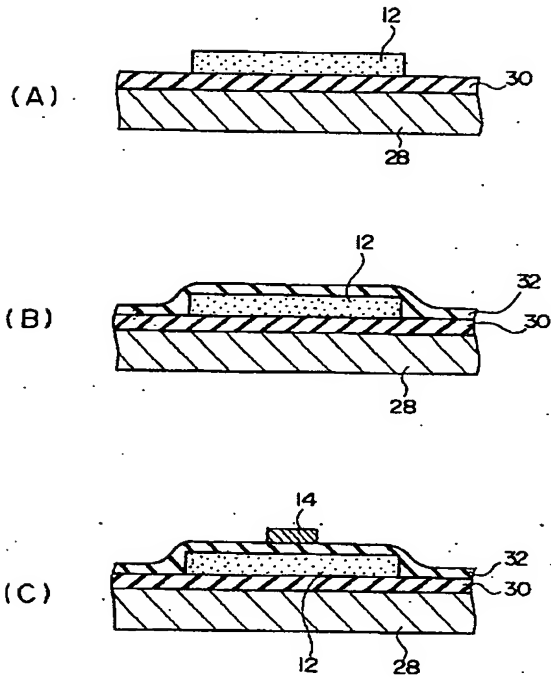
【図 5】



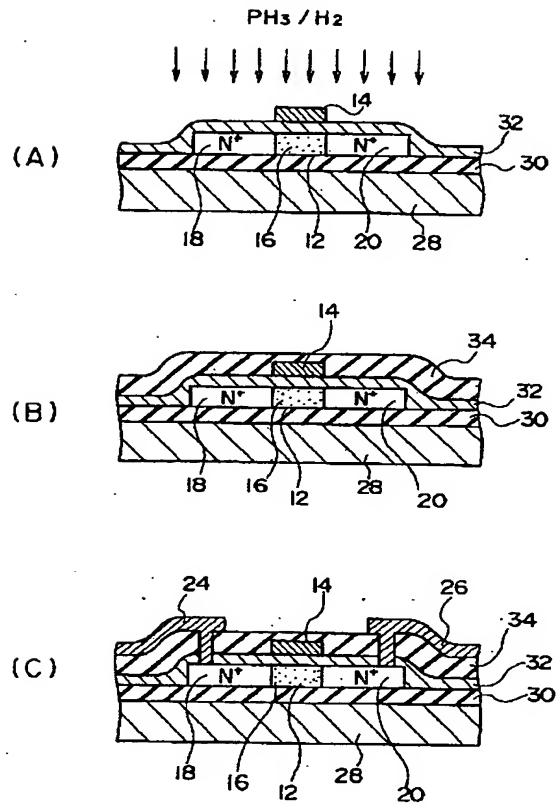
【図 6】



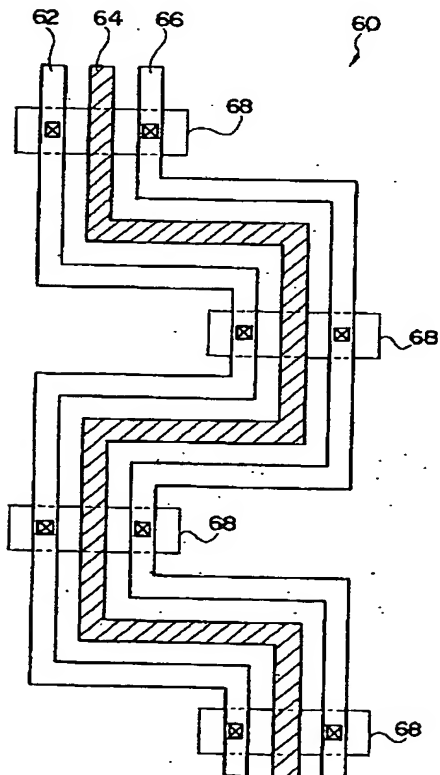
【図 3】



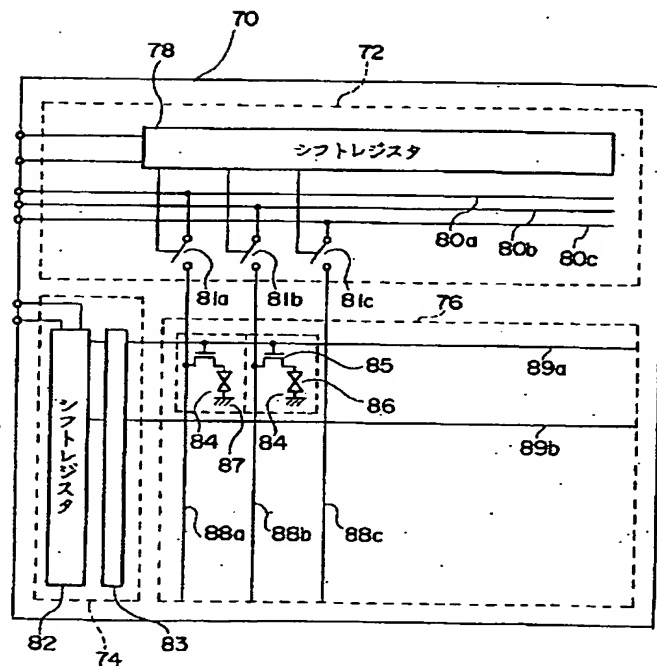
【図 4】



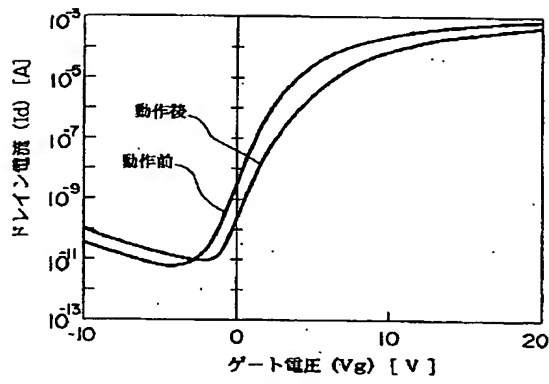
【図 7】



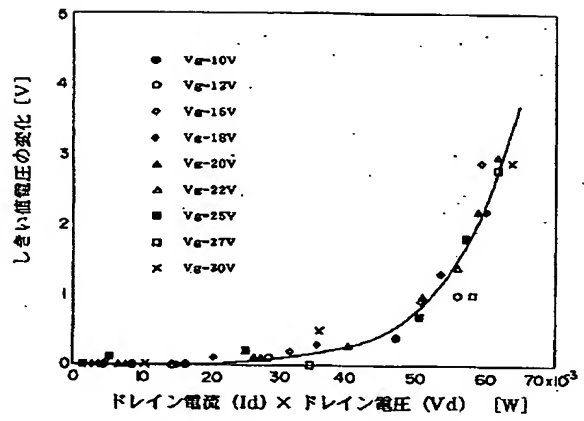
【図 8】



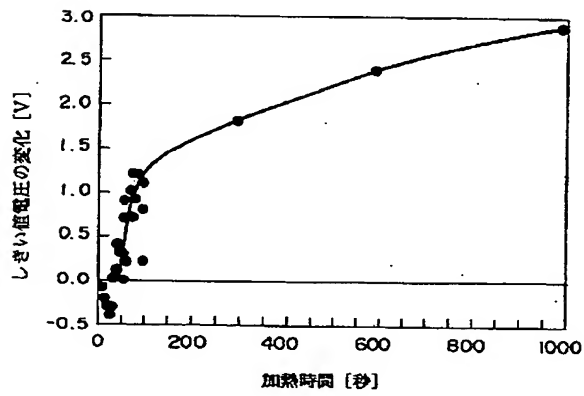
【図 9】



【図 10】



【図 11】



【図 12】

